

## Method for forming cylindrical stacked capacitor in semiconductor device

Publication number: CN1140897

Publication date: 1997-01-22

Inventor: SAKAO MASATO (JP)

Applicant: NIPPON ELECTRIC CO (JP)

Classification:

- international: H01L27/04; H01L21/306; H01L21/822; H01L21/8242; H01L27/108; H01L27/04; H01L21/02; H01L21/70; H01L27/108; (IPC1-7): H01L21/302

- European: H01L21/8242B2; H01L27/108F2M

Application number: CN19951020141 19951129

Priority number(s): JP19940294395 19941129

Also published as:

US5940702 (A1) ✓

JP8153858 (A)

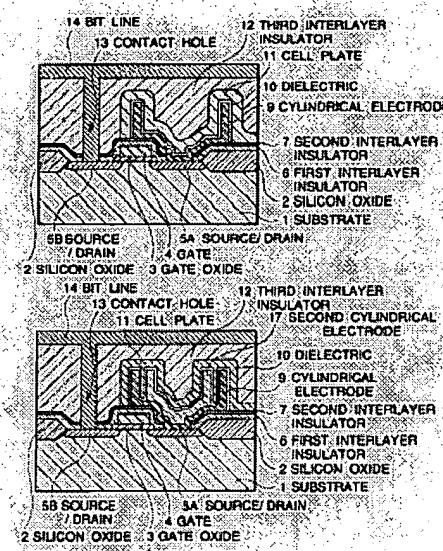
CN1082722C (C)

[Report a data error here](#)

Abstract not available for CN1140897

Abstract of corresponding document: US5940702

In a method for forming a capacitor in a semiconductor device, an insulating film is formed on a semiconductor substrate, and an opening is formed through the insulating film. Then, a conductive film is formed to cover a side wall surface of the opening and an upper surface of the insulating film, and a whole surface is mechanically ground so as to selectively remove the conductive film on the upper surface of the insulating film so that the conductive film remains only in an inside of the opening. The remaining insulating film is removed so that a cylindrical electrode is formed of an upstanding remaining conductive film having the same height as the thickness of the removed insulating film.



Data supplied from the [esp@cenet](mailto:esp@cenet) database - Worldwide



## [12]发明专利申请公开说明书

[21]申请号 95120141.7

[43]公开日 1997年1月22日

[11]公开号 CN 1140897A

[22]申请日 95.11.29

[74]专利代理机构 中国国际贸易促进委员会专利商标

[30]优先权

事务所

[32]94.11.29[33]JP[31]294395 / 94

代理人 王以平

[71]申请人 日本电气株式会社

地址 日本东京

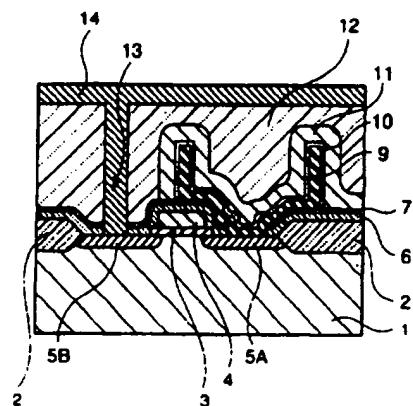
[72]发明人 坂尾真人

权利要求书 4 页 说明书 9 页 附图页数 7 页

[54]发明名称 制作半导体器件中圆筒形叠层电容器的方法

[57]摘要

在一种制作半导体器件中的电容器的方法中，在半导体衬底上制作了一个隔离膜，并穿过此隔离膜制作了一个窗口。然后制作一个导电膜以覆盖窗口的侧壁表面和隔离膜的上表面，并对整个表面进行机械研磨以便选择性地清除隔离膜上表面上的导电膜，使导电膜只保留在窗口的内部。将留下的隔离膜清除掉，使圆筒形电极由留下的高度和被清除隔离膜的厚度相同的直立的导电膜组成。



# 权利要求书

---

1. 一种制作半导体器件中电容器的方法,包含下列步骤:在半导体衬底上制作一个隔离膜;制作一个穿过隔离膜的窗口;制作一个导电膜以至少覆盖窗口的侧壁表面和底部以及隔离膜的上表面;研磨整个表面以选择性地清除隔离膜上表面上的导电膜从而只保留窗口内部的导电膜;清除隔离膜以便由直立的留下的导电膜形成圆筒形电极;形成一个覆盖圆筒形电极暴露表面(包括内壁表面和外壁表面)的隔离层;以及形成一个覆盖隔离层的对电极,致使电容器由圆筒电极、隔离层和对电极组成的叠层结构组成。
2. 如权利要求1的方法,其中所述的导电膜由多晶硅组成,而所述的隔离膜由氧化硅组成。
3. 如权利要求1的方法,还包括下列步骤:在形成上述导电膜之后,在上述导电膜上形成一层第二隔离膜;选择性地清除上述第地隔离膜致使上述第二隔离膜只保留在上述窗口中的上述导电膜上,而且在上述窗口的上述底部暴露出来上述第一次提到的导电膜;形成一个第二导电膜以至少覆盖上述留下的第二隔离膜和上述第一次提到的保留在上述窗口的上述底部的导电膜,而且其中,在整个表面上进行所述研磨,以便选择性地清除第一次提到的隔离膜上表面上的第一次提到的导电膜和上述的第二导电膜,从而使第一次提到的导电膜和上述第二导电膜只保留在窗口的内部,然后清除第一次提到的隔离膜和上述第二隔离膜,致使双重

圆筒形电极由直立的留下的第一次提到的导电膜和直立的留下的第二次提到的导电膜组成，而且，上述隔离层的形成是用来覆盖上述双重圆筒形电极的暴露表面（包括各上述直立的留下的第一次提到的导电膜和上述直立的留下的第二次提到的导电膜的内壁表面和外壁表面），然后制作上述对电极以覆盖上述隔离层，以使电容器由上述双重圆筒电极、上述隔离层和上述对电极构成的叠层结构组成。

4. 如权利要求3的方法，其中所述的第一次提到的导电膜和上述第二导电膜由多晶硅组成，而上述第一次提到的隔离膜和上述第二隔离膜由氧化硅组成。

5. 一种制作半导体器件中的电容器的方法，包括下列步骤：  
在半导体衬底上确定一个器件制作区；  
制作一个隔离膜以覆盖上述半导体衬底（包括上述器件制作区）；

选择性地清除上述器件制作区上的上述隔离膜以便形成一个穿过隔离膜并暴露出一部分上述器件制作区的窗口；

形成一个导电膜以至少覆盖上述窗口的侧壁表面和底部以及隔离膜的上表面，致使上述导电膜电接触于上述窗口中的上述器件制作区；

对整个表面进行机械研磨，由于上述导电膜和上述隔离膜之间研磨速度的差别而只选择性地清除上述隔离膜上表面上的上述导电膜，但上述导电膜只保留在上述窗口的上述侧壁表面和上述底部上而同上述器件制作区电接触；

化学清除上述隔离膜以便圆筒形电极由直立的留下的导电膜

组成；

形成一个覆盖上述圆筒形电极暴露表面(包括内壁表面和外壁表面)的介电膜；以及

形成一个对电极以覆盖上述介电膜，从而使电容器由上述圆筒形电极、上述介电膜和上述对电极形成的叠层结构组成。

6. 如权利要求5的方法，其中所述的导电膜由多晶硅组成，而隔离膜由氧化硅组成。

7. 如权利要求5的方法还包括下列步骤：

在形成上述导电膜之后，在上述导电膜上形成一个第二隔离膜；

选择性地清除上述第二隔离膜，使上述第二隔离膜只保留在上述窗口中的上述导电膜上，而暴露出上述窗口底部处的上述第一次提到的导电膜；以及

形成一个第二导电膜以至少覆盖上述留下的第二隔离膜和保留在上述窗口底部上的上述第一次提到的导电膜，使上述第二导电膜和第一次提到的导电膜电连接，而且

其中所述的机械研磨在整个表面上进行，以便选择性地清除第一次提到的隔离膜表面上的第一次提到的导电膜和上述第二导电膜，致使第一次提到的导电膜和上述第二导电膜只保留在窗口的内部，

然后化学清除第一次提到的隔离膜和上述第二隔离膜，使双重圆筒形电极由直立的留下的第一次提到的导电膜和直立的留下的第二次提到的导电膜组成，

而且，形成上述介电膜以便覆盖上述双重圆筒形电极暴露表

面(包括各上述直立的留下的第一次提到的导电膜和上述直立的留下的第二次提到的导电膜的内壁和外壁表面),

然后,制作覆盖上述介电膜的上述对电极,使电容器由上述双重圆筒形电极、上述介电膜和上述对电极构成的叠层结构组成。

8. 如权利要求7的方法,其中所述的第一次提到的导电膜和上述第二导电膜由多晶硅组成,而上述第一次提到的隔离膜和上述第二隔离膜由氧化硅组成。

# 说 明 书

---

## 制作半导体器件中圓筒形叠层电容器的方法

本发明涉及到一种制造半导体器件的方法，更确切地说是涉及到一种在半导体集成电路存储中制作圓筒形叠层电容器的方法。

作为一种具有高集成密度的半导体集成电路存储单元，由于由一个晶体管和一个电容器组成的所谓单晶体管型动态存储单元的电路元件数目小因此能够容易地减小其存储单元所需的面积，而被广泛地采用。以下把这种存储单元简称为“存储单元”。

在这种存储单元中，从存储单元获得的输出电压的幅度正比于电容器的电容量。因此，为了确保稳定的工作，即使为了提高集成密度而减小了存储单元的尺寸，也必须保持电容器有足够大的电容值。

参照图1，其中示出了一例预计电容值大的电容器的常规存储单元。在图1中，不仅示出了电容器，而且示出了连接于电容器的一个MOS晶体管。所示的电容器包括：(1)一个由导电元件8组成的储存电极(导电元件8与N型源/漏区5A接触并构成支持或基底元件)和一个连接于基底导电元件8的圓筒形导电元件9，(2)一个单元板11，以及(3)一个在单元板11与储存电极8和9之间形成隔离的介电膜10。用选择性地制作在P型硅衬底1上的场隔离氧化硅膜2来获得器件隔离。

MOS晶体管包括一对制作在P型硅衬底1中彼此分隔开的N型源/漏区5A和5B，以及一个制作在栅氧化膜3上覆盖N型源/漏

区 5A 和 5B 对之间区域表面的栅电极 4。此栅电极 4 也起字线的作用。此外,位线(未示出)通过制作成穿过第一层间隔离膜 6 和第二层间隔离膜 7 的接触孔(未示出)而连接于 N 型源/漏区 5B。

在所示的结构中,电容器的储存电极呈圆筒状,由基底导电元件 8 和筒形导电元件 9 组成。因此,不仅圆筒的外壁表面,而且其内壁表面也可用来构成电容器。因而被认为能够提供足够的电容量而同时又抑制存储单元面积的增大。

*Wakamiya* 等人的论文“64Mb DRAM 用新颖叠层电容单元”(1989VLSI 技术研讨会论文集 P. 69—70) 提出了制作上述圆筒形储存电极的一种工艺,其所公布的内容在本申请中全部引作参考。以下参照图 2A—2C 来描述这一工艺。

如图 2A 所示,制作 MOS 晶体管之后,制作一个与 N 型源/漏区 5A 相接触的导电元件 8。然后如图 2B 所示,在整个表面上形成一个有相当厚度的氧化硅膜 15,再形成一个穿过氧化硅膜 15 的窗口以暴露导电元件 8 的重要部位。此外,在氧化硅膜 15 和窗口中暴露的导电元件 8 上沉积一个多晶硅组成的导电膜 9A。再用干法刻蚀将导电膜 9A 回腐蚀以形成一个只沉积在氧化硅膜 15 窗口内壁表面上的导电元件 9,如图 2C 所示。然后清除氧化硅膜 15,致使只保留直立的圆筒形导电元件 9。然后形成图 1 所示的介电膜 10 和单元板 11。

在上述回腐蚀工艺中,为了防止导电膜 9A 留在氧化硅膜 15 的上表面上,必须如图 2C 所示对导电膜 9A 进行过腐蚀。但实际上,这一过腐蚀量在同一芯片中和同一片子的各个存储器芯片之间变化为 10% 或更大。结果就出现组成储存电极的圆筒形导电元件 9 的高

度的变化。

此处,由于圆筒形导电元件9的高度直接影响所形成的电容器的电容量数值,故根据上述常规工艺而制作的电容器的电容值就不可避免地要出现变化。电容值的这种变化对存储单元的稳定工作有不利影响。

因此,为使各电容器的电容值均匀从而确保存储单元的稳定工作,使回腐蚀量均衡是极为重要的。

因而,本发明的一个目的是提供一种在半导体集成电路存储器中制作电容器的方法,此法克服了常规方法的上述缺陷。

本发明的另一目的是提供一种在高集成度半导体集成电路存储器中制作电容器的方法,此法可防止电容值的变化,从而可确保半导体集成电路存储器的稳定工作。

根据本发明,用在半导体器件中形成电容器的方法,实现了本发明的上述和其它的目的,此方法包含下列步骤:在半导体衬底上形成一个隔离膜,形成一个穿过此隔离膜的窗口,形成一个导电膜以便至少覆盖窗口的侧壁表面和底部以及隔离膜的上表面,研磨整个表面以便选择性地清除隔离膜上表面上的导电膜致使导电膜只保留在窗口的内部,清除隔离膜以便使圆筒形电极由直立的留下的导电膜构成,形成一个覆盖圆筒电极暴露表面(包括内侧表面和外侧表面)的隔离层,以及形成一个覆盖隔离层的对电极,从而形成一个叠层结构的由圆筒电极、隔离层和对电极组成的电容器。

参照附图对本发明的最佳实施例进行的下列描述,将使本发明的上述目的和其它目的、特征和优点变得更为明显。

图1剖面图示出了一例单晶体管型DRAM存储器中预计有大

的电容器电容量的常规存储单元；

图 2A—2C 剖面图示出了制作图 1 所示圆筒形电容器的一种常规工艺；

图 3 剖面图示出了根据本发明在半导体集成电路存储器中制作电容器的方法的实施例 1 而制作的带有圆筒电容器的单晶体管型 DRAM 存储单元；

图 4A—4F 剖面图示出了根据本发明制作图 3 所示圆筒电容器的方法的实施例 1；以及

图 5A—5E 剖面图示出了根据本发明在半导体集成电路存储器中制作电容器的方法的实施例 2。

参照图 3，其中示出了根据本发明实施例 1 而制作的带有圆筒电容器的一个单晶体管型 DRAM 存储单元。图 3 中相似于图 1 所示元件的元件示以相同的参考号。

单晶体管型 DRAM 存储单元包括一个制作在器件制作区中的 MOS 晶体管，此器件制作区由形成在 P 型硅衬底 1 主表面上的场隔离膜 2 确定。此 MOS 晶体管包含一对形成在 P 型硅衬底 1 的表面区中彼此分隔开的 N 型源/漏区 5A 和 5B，以及一个形成在覆盖 N 型源/漏区 5A 和 5B 对之间区域表面的栅氧化膜 3 上的栅电极 4。由第一层间隔膜 6 和第二层间隔膜 7 组成的叠层间隔膜沉积在整个表面上以覆盖场隔离氧化硅膜 2、N 型源/漏区 5A 和 5B 对以及栅电极 4。

与上述 MOS 晶体管相关联的电容器包含一个由导电材料组成并通过穿过第一层间隔膜 6 和第二层间隔膜 7 而形成的接触孔而与 N 型源/漏区 5A 相接触的圆筒形储存电极 9；一个与圆筒形

储存电极 9 相对的单元板 11 以及一个隔在圆筒形储存电极 9 和单元板 11 之间的电容器介电膜 10。在整个表面上制作了一个第三层间隔离膜 12 以覆盖第二层间隔离膜 7 和单元板 11。在其它的源/漏区 5B 处,穿过第一至第三层间隔离膜 6、7 和 12,制作了接触孔 13,并在第三层间隔离膜 12 上制作了位线 14 且通过接触孔 13 连接于源/漏区 5B。用第三层间隔离膜 12 使位线 14 和接触 13 同单元板 11 之间电隔离。顺便说一下,栅电极 4 还起字线的作用。

现参照图 4A—4F 来描述根据本发明制作图 3 所示圆筒形电容器的方法的实施例 1。

如图 4A 所示,在(100)取向的 P 型硅衬底 1 的主表面上制作一个热氧化膜(未示出),再用 CVD(化学气相沉积)工艺在热氧化膜上沉积一个厚度约为 120nm 的氮化硅膜(未示出)。用光刻法使热氧化膜和氮化硅膜组成的叠层膜图形化,以便掩模氧化膜和氮化硅膜只保留预定的区域,然后对衬底执行热氧化以便在 P 型硅衬底 1 的主表面上形成作为场隔离的厚度约为 600nm 的氧化硅膜 2,从而在 P 型硅衬底 1 的主表面上划出器件制作区。再用湿法腐蚀清除掩模氧化膜和氮化硅膜。然后在 950°C 的氧化气氛中对衬底进行氧化,以便在器件制作区上制作由厚度约为 20nm 的氧化硅膜构成的栅隔离膜 3。再用 CVD 工艺沉积一个厚度为 500nm 的多晶硅膜,并用常规光刻和干法腐蚀使沉积的多晶硅膜图形化,以形成栅电极 4。

然后,在 100KeV 加速能量下以  $5 \times 10^{15} \text{ cm}^{-2}$  的剂量进行砷离子注入,以便在硅衬底 1 的表面区中形成一对 N 型源/漏区 5A 和 5B,如图 4B 所示。再执行湿法腐蚀以清除氧化膜,从而只留下直接位于栅电极 4 之下的栅氧化膜 3。此外,用 CVD 工艺沉积一个氧化

硅膜以形成第一层间隔膜 6，并且用 CVD 工艺沉积一个氮化硅膜以形成第二层间隔膜 7。

如图 4C 所示，穿过第一层间隔膜 6 和第二层间隔膜 7 形成了一个窗口 50，从而使形成的窗口 50 将一部分 N 型源/漏区 5A 暴露出来。然后用 CVD 工艺，在衬底的整个表面（包括第二层间隔膜 7 和窗口 50 中暴露的 N 型源/漏区 5A）上，沉积一个厚度相当于圆筒形储存电极所需高度的氧化硅膜 15。

然后用腐蚀方法形成一个大窗口 52 穿过氧化硅膜 15 以围绕窗口 50。于是 N 型源/漏区 5A 又一次从窗口 52 中窗口 50 内暴露出来。例如，窗口 52 的直径从场氧化膜 2 达及栅电极 4 的中心位置。在这一腐蚀工艺中，借助于选择清除氧化硅膜 15 的腐蚀条件，氧化硅膜 15 的腐蚀会被第二层间氮化硅膜 7 的表面自动停止。然后沉积一个多晶硅膜 9A 以覆盖氧化硅膜 15、窗口 52 的侧壁表面和底表面以及窗口 50 的侧壁表面和底表面，再将磷扩散到沉积的多晶硅膜中以形成导电膜 9A。

然后选择性地研磨导电膜 9A。这一选择性研磨是一种多晶硅的化学机械研磨，采用例如主要由聚氨酯组成的垫盘和有机胺作为抛光液来执行。在这一研磨工艺中，由于比起多晶硅的研磨速度来，氧化硅膜的研磨几乎可以忽略，故执行了明显的选择性研磨。亦即，只有氧化硅膜 15 上的导电膜 9A 被研磨，氧化硅膜 15 一暴露出来，研磨就不再进行。其原因是：由于氧化硅 15 的表面不被研磨，化学机械研磨就不从氧化硅膜 15 的表面向下进行，氧化硅膜 15 的表面就起研磨进一步进行的停止层的作用。结果，选择性研磨就自动地停止在氧化硅膜 15 的表面处。因此，导电膜 9A 只保留在窗口 52 中，致

使在窗口 52 的侧壁表面，形成了一个高度同氧化硅膜 15 相同的圆筒形导电元件 9，如图 4E 所示。

然后，用例如采用氢氟酸水溶液的湿法腐蚀方法清除氧化硅膜 15，致使由氮化硅膜组成的第二层间隔膜 7 起腐蚀停止层的作用，从而腐蚀只选择性地清除氧化硅膜 15。

然后如图 2F 所示，对导电元件 9 进行热氧化以形成电容器的介电层 10，再用 CVD 工艺沉积一个多晶硅膜并将磷扩散到沉积的多晶硅膜中。然后用光刻法和干法腐蚀使沉积的多晶硅膜图形化以形成单元板 11。如此形成电容器的介电层 10 和单元板 11，如图 4E 所示。

接着，在整个表面上用 CVD 工艺沉积一个氧化硅膜以制作第三层间隔膜 12，如图 3 所示，然后将达及另一源/漏区 5B 的接触孔 13 做成穿过第一至第三层间隔层 6、7 和 12。沉积一个铝膜并将其图形化以形成通过接触孔 13 而连接于源/漏区 5B 的位线 14。

于是得到图 3 所示的具有包含圆筒形储存电极的叠层电容器的存储单元。

下面参照图 5A—5E 来解释根据本发明制作半导体集成电路存储器中电容器的方法的实施例 2。图 5A—5E 中与图 4A—4F 所示相同的元件示以相同的参考号。

在图 4D 所示的条件下，用 CVD 工艺在整个表面上沉积了另一个氧化硅膜，并用干法腐蚀执行回腐蚀，以便如图 5A 所示，氧化硅膜 16 只保留在第一导电膜 9A 的内侧壁表面上。

然后，在整个表面上沉积一个例如由多晶硅膜组成的第二导电膜 17A，如图 5B 所示。此时，执行相似于实施例 1 的选择性研磨。因

而,由于研磨一直进行到氧化硅膜 16 暴露出来为止,并且由于当氧化硅膜 16 被暴露时研磨就自动停止,故形成了一个由第一圆筒形导电元件 9 和第二圆筒形导电元件 17(两者的高度都和氧化硅膜 15 的表面的高度相同)组成的同轴双层圆筒形储存电极,如图 5C 所示。

然后用例如采用氢氟酸水溶液的湿法腐蚀清除第一氧化硅膜 15 和氧化硅膜 16,以便由氮化硅膜形成的第二层间隔膜 7 起腐蚀停止层的作用,从而腐蚀只清除第一氧化硅膜 15 和氧化硅膜 16。

然后如图 5D 所示,对第一导电元件 9 和第二导电元件 17 进行热氧化以形成电容器的介电层 10,再用 CVD 工艺沉积一个多晶硅膜,并且将磷扩散到沉积的多晶硅膜中。其后用光刻和干法腐蚀对沉积的多晶硅膜进行图形化以形成单元板 11。

接着,用 CVD 工艺在整个表面上沉积一个氧化硅膜,以形成第三层间隔膜 12,如图 5E 所示,然后将达及另一源/漏区 5B 的接触孔 13 做成穿过第一至第三层间隔膜 6、7 和 12。沉积一个铝膜并使其图形化以形成通过接触孔 13 而连接于源/漏区 5B 的位线 14。

于是获得图 5E 所示的具有叠层结构的包括双重圆筒储存电极的电容器的存储单元。

在上述实施例中,电容器介电膜 10 由硅的热氧化膜组成。但为了增大电容量并提高可靠性,电容器介电膜 10 可由氧化硅或氮化硅的单层或由氧化硅膜或氮化硅膜组成的双层或三层结构来制作。

而且在上述实施例中,为了实现图 4D 所示的剖面结构,而不制作常规例中所制作的基底导电元件 8。因此,所示实施例的工艺比常

规例工艺更简单。但可相似于常规例制作图 2B 所示的剖面结构来代替图 4D 所示的剖面结构。换言之,本发明的要点的特征是从图 4D 所示条件到图 4E 所示条件的工艺。图 4D 之前和图 4E 之后的工艺可自由地选择。

此外,在所示实施例中,位线由铝膜组成且位于高于储存电极的高度。但位线也可由熔点比铝高的硅化物来构成,而且可以位于储存电极的下方。

而且,所示实施例是采用本发明的高密度半导体存储器的例子,但本发明不仅可应用于高密度半导体存储器,也可以应用于其它半导体器件。

从上述可见,根据本发明的方法,由于为了制作可有效地在小的存储单位面积中实现大电容量的圆筒电容器的圆筒形储存电极而进行了选择性研磨,故可使同一片子中或不同片子之间的储存电极的高度保持恒定。因此,包含在半导体器件中的各电容器的电容值不会有明显的变化。

具体地说,常规工艺引起回腐蚀量 10% 或之上的变化,引起储存电极高度和因而电容器电容量的相应变化。但本发明中的选择性研磨可将回腐蚀中的变化降到几乎为零。因此,本发明中的选择性研磨应理解为不包括湿法腐蚀和干法腐蚀。

上面已参照具体的实施例描述了本发明。但应指出,本发明决不局限于所示结构的细节,而是在所附权利要求的范围内可作各种改变和修改。

# 说 明 书 附 图

图 1

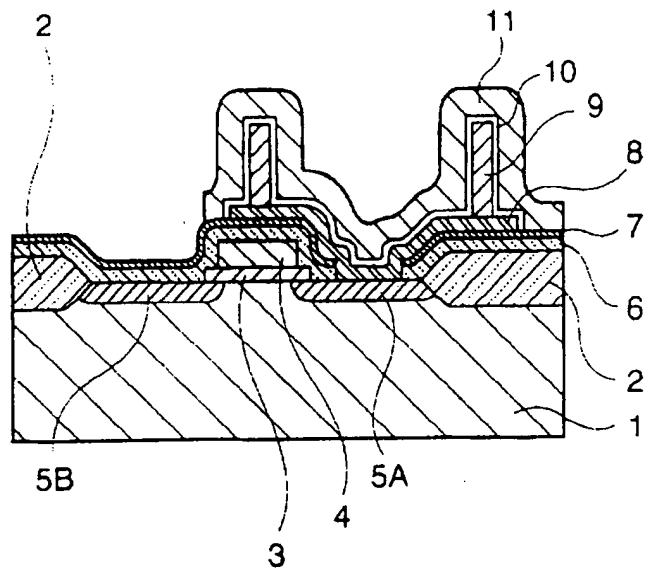


图 3

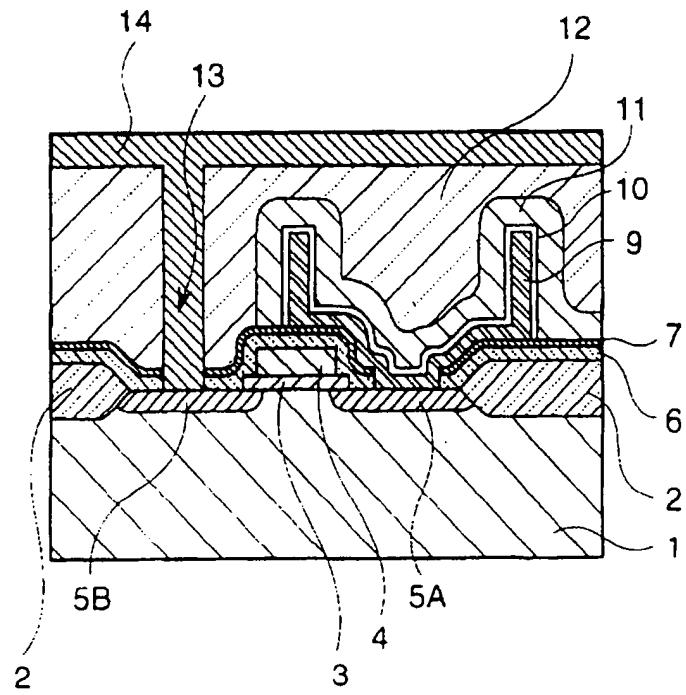


图 2A

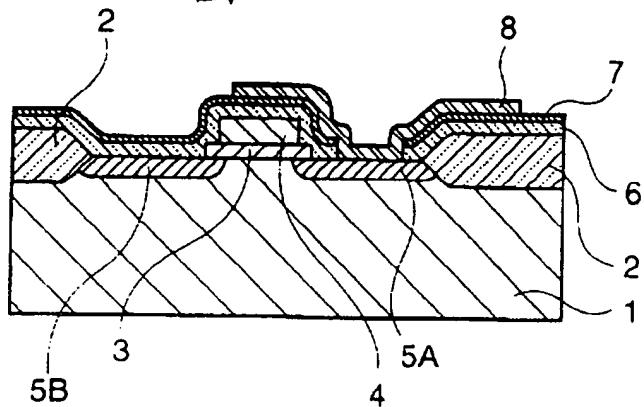


图 2B

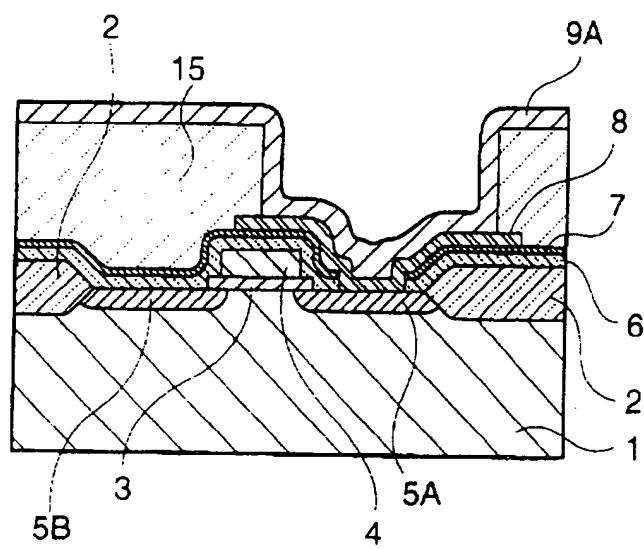


图 2C

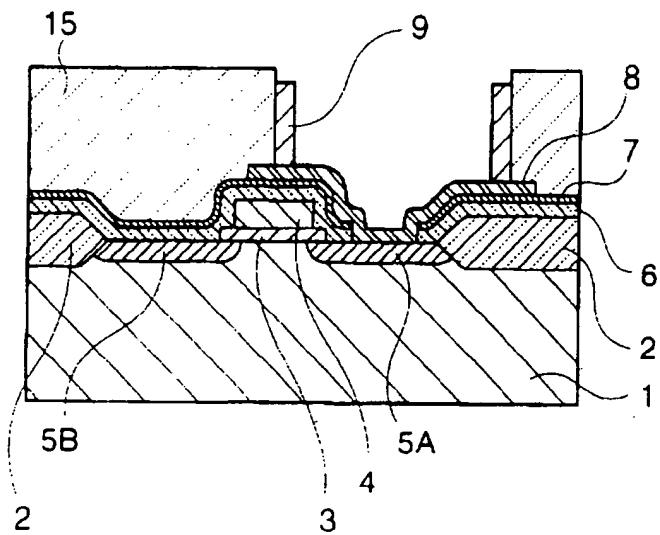


图 4A

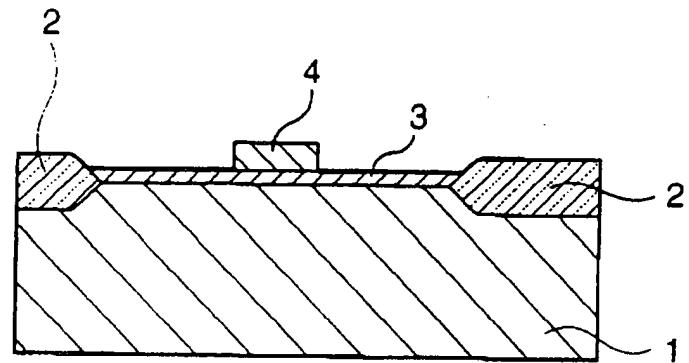


图 4B

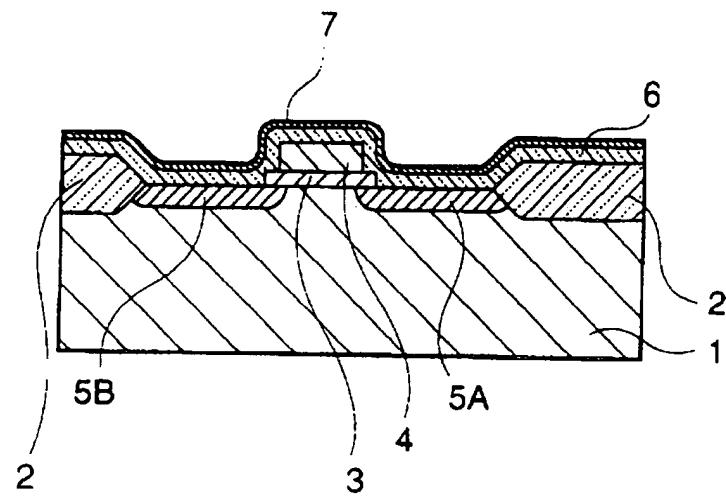


图 4C

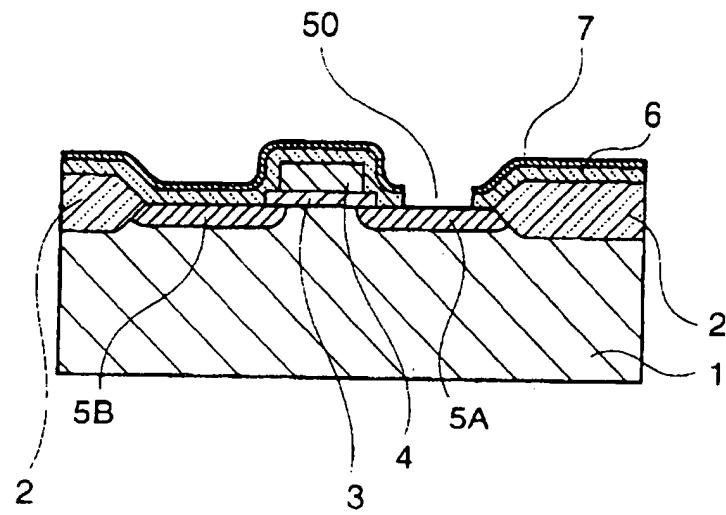


图 4D

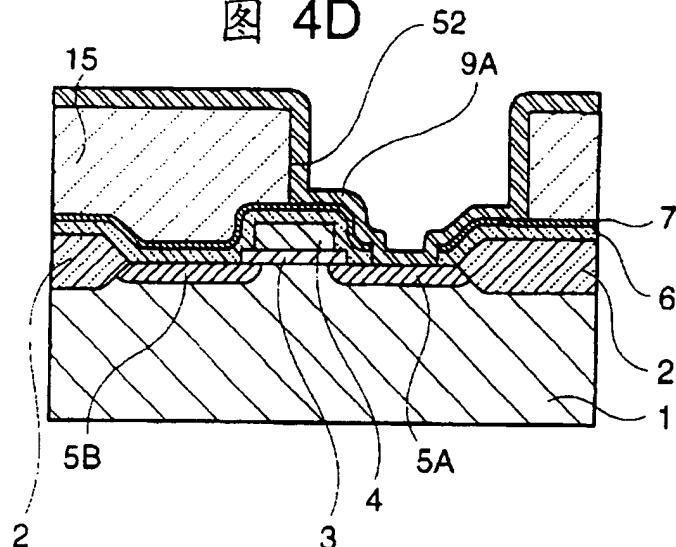


图 4E

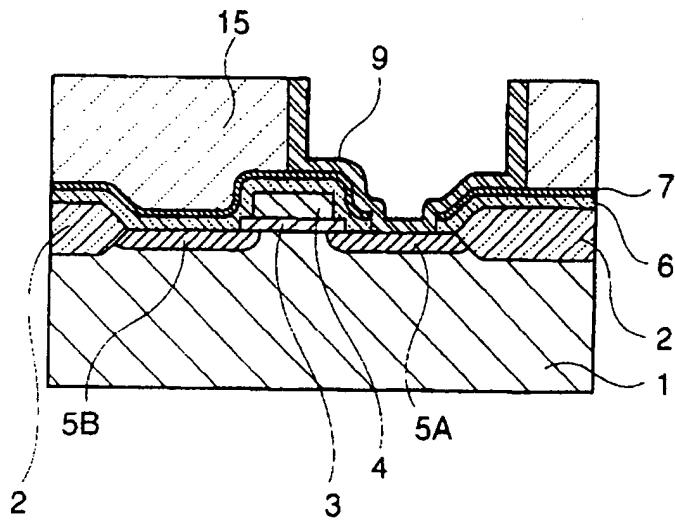


图 4F<sub>11</sub>

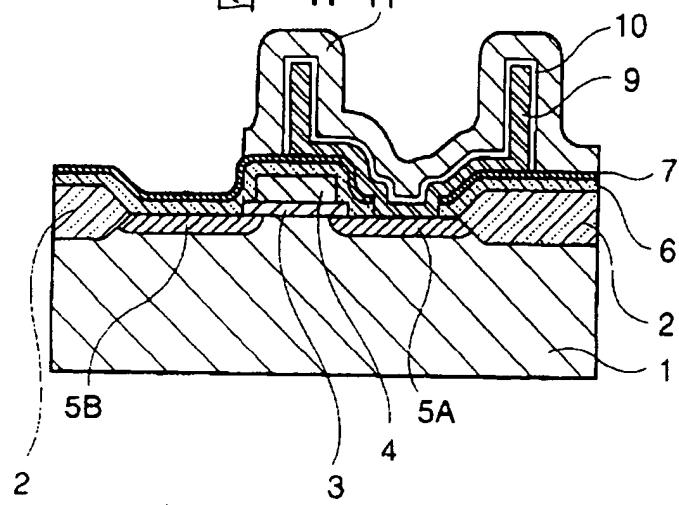


图 5A

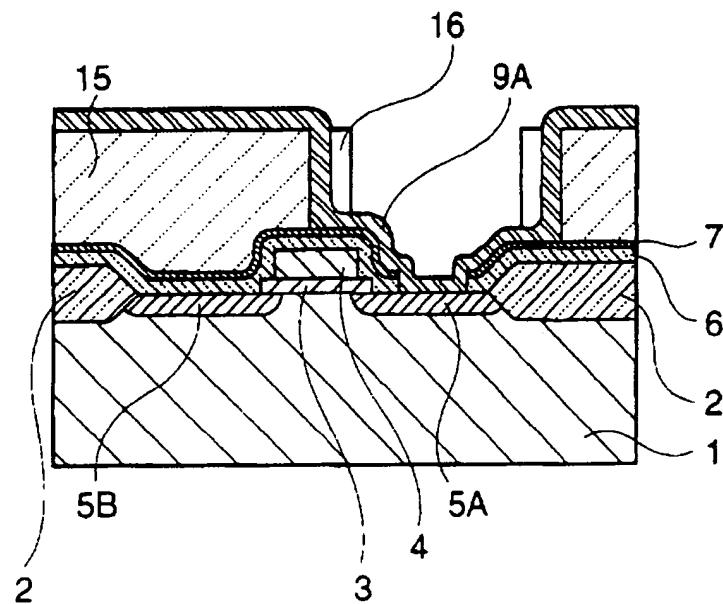


图 5B

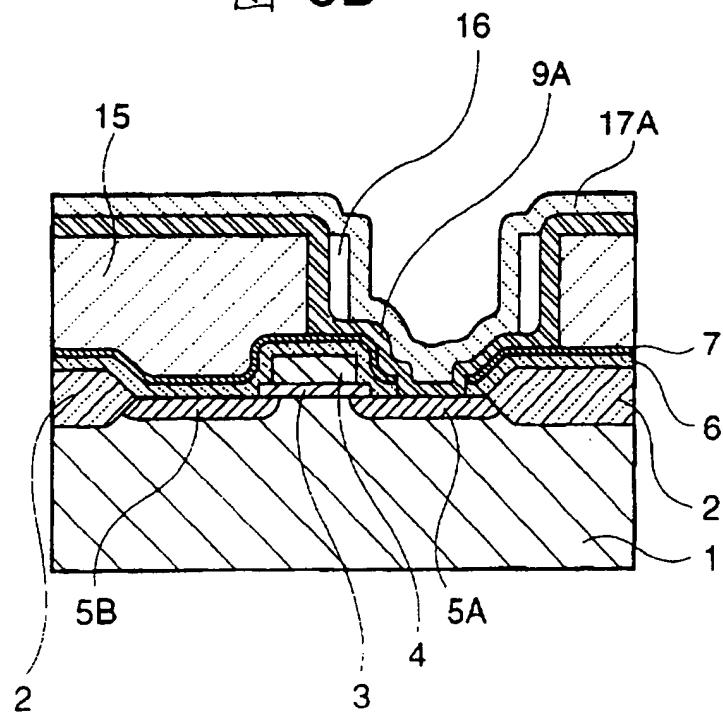


图 5C

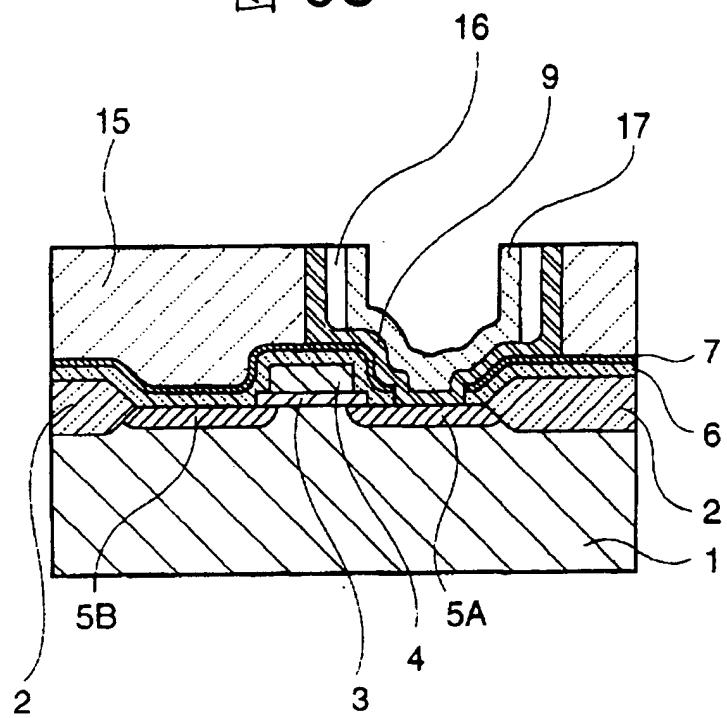


图 5D

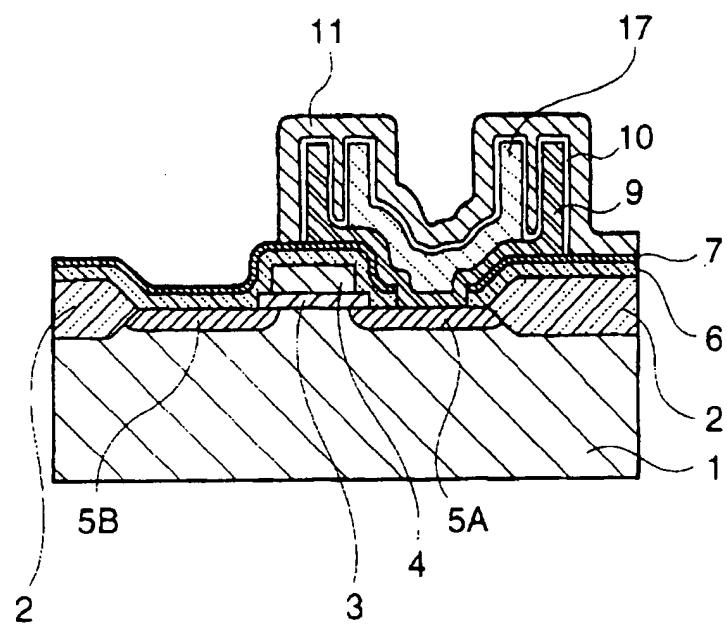


图 5E

